

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07115173 A

(43) Date of publication of application: 02.05.95

(51) Int. Cl.

H01L 27/04

H01L 21/822

H01L 21/331

H01L 29/73

// H01L 21/203

(21) Application number: 05257943

(71) Applicant: NEC CORP

(22) Date of filing: 15.10.93

(72) Inventor: TAKASHINA REIJI

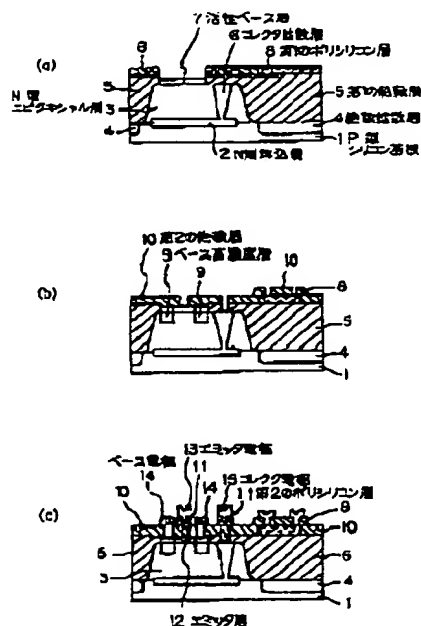
(54) MANUFACTURE OF SEMICONDUCTOR  
INTEGRATED CIRCUIT

## (57) Abstract:

**PURPOSE:** To reduce the variation in the layer resistance of a polycrystalline silicon resistance element by a method wherein the polycrystalline resistance element is formed simultaneously with an active base layer or with an emitter layer.

**CONSTITUTION:** An N-type buried layer 2, an N-type epitaxial layer 3, an insulating diffused layer 4 and a first insulating layer 5 are formed on a P-type silicon substrate 1. After that, the first insulating layer 5 is selectively removed by photoetching to open an active base diffusion window. Then an active base layer 7 containing, for instance, P-type impurities and a first polycrystalline silicon layer 8 are formed simultaneously by an MBE method. With this constitution, the variation in the thickness of the polycrystalline silicon layer and the variation in the impurity concentration can be reduced to about a half of the variation of a conventional constitution and the variation in a polycrystalline silicon resistance can be halved, so that the quality and the yield can be substantially improved.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-115173

(43) 公開日 平成7年(1995)5月2日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04				
21/822				
21/331				
		8832-4M	H 0 1 L 27/ 04	P
			29/ 72	
審査請求 有 請求項の数 1 O L (全 5 頁) 最終頁に続く				

(21) 出願番号 特願平5-257943

(22) 出願日 平成5年(1993)10月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高階 礼児

東京都港区芝五丁目7番1号 日本電気株式会社内

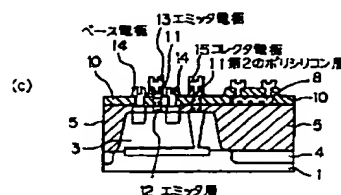
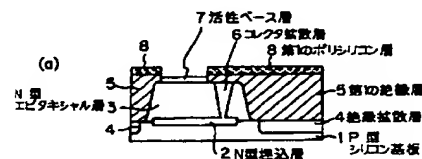
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体集積回路の製造方法

(57) 【要約】 (修正有)

【目的】 半導体集積回路において、ポリシリコン抵抗素子の層抵抗ばらつきを低減する。

【構成】 MBE法を用いて、活性ベース層7とポリシリコン抵抗素子8を、同時に形成する。



1

## 【特許請求の範囲】

【請求項 1】 一導電型半導体基板の一主面上に形成された絶縁層上にポリシリ抵抗素子が設けられた半導体集積回路の製造方法において、該ポリシリコン抵抗素子を、活性ベース層あるいはエミッタ層と同時に形成することを特徴とする半導体集積回路の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路の製造方法に関し、特に浅い接合とポリシリ抵抗を有する高周波用半導体集積回路の製造方法に関する。

## 【0002】

【従来の技術】 半導体集積回路の高性能化、高機能化にともない、回路抵抗素子として集積度向上等の点で有利なポリシリコン層が用いられると共に、エミッタ及び活性ベース層の浅接合化技術が問題となってきた。

【0003】 この種の従来技術としては、例えば特開平 4-37143 号公報に、MBE 法により活性ベース層が形成されていた。

【0004】 図 3 (a) ~ (f) は、MBE 法を用いて 20 活性ベース層を形成した従来の高周波用半導体集積回路の製造方法を説明するための工程順に示した半導体チップの断面図である。

【0005】 まず、図 3 (a) に示すように P 型シリコン基板 1 に N 型埋込層 2 及び N 型エピタキシャル層 3 を形成した後、第 2 の絶縁層 17 (1500 Å)、第 3 の絶縁層 18 (1500 Å) を順次に堆積する。次に、写真蝕刻法により、第 2 の絶縁層 17、第 3 の絶縁層 18 を選択的に順次にエッチング除去して絶縁拡散窓を開孔し、P 型の不純物を高濃度に拡散して深さ 1.2 μm の 30 P 型拡散層 4 を形成する。次に、図 3 (b) に示すように、第 3 の絶縁層 18 をマスクとして熱酸化して第 1 の絶縁層 5 (1.5 μm) を形成した後、第 3 の絶縁層 18 を全面エッチング除去する。次に、第 2 の絶縁層 17 を介して選択的に N 型の不純物を多量にイオン注入した後、高温熱処理することによりコレクタ拡散層 6 を形成する。次に、図 3 (c) に示すように、第 3 のポリシリコン層 19 (1000 Å) を堆積した後、上面から多量の不純物をイオン注入する。次に、熱処理することにより、イオン注入された不純物の活性化をはかった後、写真蝕刻法により第 3 のポリシリコン層 19 をエッチング除去し、抵抗パターンを形成する。次に、第 4 の絶縁層 (3000 Å) 20 を堆積した後、写真蝕刻法により第 4 の絶縁層 20 を選択的にエッチング除去する。次に、図 3 (d) に示すように写真蝕刻法により第 2 の絶縁層 17 を選択的にエッチング除去し、ベース拡散窓を開孔した後、MBE 法により P 型の不純物を多量に含んだ活性ベース層 7 (1000 Å) 及び第 1 のポリシリコン層 8 (1000 Å) を形成する。次に、写真蝕刻法により選択的に P 型の不純物を多量にイオン注入することによ

2

り、ベース高濃度層 9 を形成する。次に図 3 (e) に示すように、第 1 のポリシリコン層 8 を全面エッチング除去した後、第 5 の絶縁層 21 (2000 Å) を堆積する。次に、写真蝕刻法により第 5 の絶縁層 21 を選択的にエッチング除去し、エミッタ拡散窓及びコレクタ拡散窓を開孔した後、第 2 のポリシリコン層 11 を堆積する。次に、第 2 のポリシリコン層 11 に上面から N 型の不純物を多量にイオン注入した後、高温熱処理することによりエミッタ層 12 を形成する。次に、写真蝕刻法により、第 2 のポリシリコン層 11 を選択的にエッチング除去する。次に、図 3 (f) に示すように、写真蝕刻法により第 4 の絶縁層及び第 5 の絶縁層 20, 21 を選択的に順次にエッチング除去し、ベースコンタクト窓及び抵抗コンタクト窓を開孔した後、電極金属を蒸着し、エミッタ電極 13、ベース電極 14、コレクタ電極 15 及び抵抗電極 16 を形成する。

## 【0006】

【発明が解決しようとする課題】 この従来の高周波用半導体集積回路の製造方法は、活性ベース層とポリシリ抵抗素子を個別に形成しているため、ポリシリコン層を通常の気相成長法により設けた後、上面より多量の不純物をイオン注入して層抵抗を制御しているが、その結果ポリシリコン層の膜厚及び不純物濃度のばらつきにより層抵抗が大きく変動するという欠点があった。

【0007】 本発明の目的は、ポリシリコン抵抗素子の層抵抗のばらつきを低減させる、半導体集積回路の製造方法を提供することにある。

## 【0008】

【課題を解決するための手段】 本発明の半導体集積回路の製造方法は、ポリシリコン抵抗素子を活性ベース層あるいはエミッタ層と同時に形成することを特徴とする。

## 【0009】

【作用】 本発明は、膜厚、濃度を均一に、精度良く制御できる、制御性の優れた MBE 法を用いて、ポリシリコン抵抗素子を活性ベース層あるいはエミッタ層とポリシリ抵抗素子を同時に形成することにより、ポリシリコン抵抗素子の層抵抗ばらつきを低減させると共にチップ製造工程の短縮化を可能にしたものである。

## 【0010】

【実施例】 次に、本発明の実施例について図面を参照しながら説明する。

【0011】 図 1 (a) ~ (c) は本発明の第 1 の実施例を説明するための工程順に示した半導体チップの断面図である。

## 【0012】 先ず、図 1 (a) に示すように、図 3

(a) ~ (b) により説明した従来例と同様の工程で P 型シリコン基板 1 に N 型の埋込層 2、N 型のエピタキシャル層 3、絶縁拡散層 4、第 1 の絶縁層 5 を形成した後、写真蝕刻法により第 1 の絶縁層 5 を選択的にエッチング除去し、活性ベース拡散窓を開孔する。次に、MB

3

E法により例えばP型の不純物を $1.0 \times 10^{19}/\text{cm}^2$ 程度含んだ活性ベース層7(1000Å)と第1のポリシリコン層8(1000Å)を同時に形成する。次に、図1(b)に示すように、写真蝕刻法により第1のポリシリコン層8を選択的にエッチング除去し、抵抗パターンを形成した後、従来例と同様に、写真蝕刻法により選択的にP型の不純物を多量にイオン注入し、ベース高濃度層9を形成する。次に、第2の絶縁層10(3000Å)を堆積した後、写真蝕刻法により第2の絶縁層10を選択的にエッチング除去し、エミッタ拡散窓、コレクタコンタクト窓を開孔する。次に、図1(c)に示すように、従来例と同様にして、第2のポリシリコン層11を堆積した後、上面から多量の不純物をイオン注入する。次に、高温熱処理してエミッタ層12を形成した後、写真蝕刻法により第2のポリシリコン層11を選択的にエッチングする。次に、写真蝕刻法により第2の絶縁層10を選択的にエッチング除去し、ベースコンタクト窓及び抵抗コンタクト窓を開孔した後、電極金属を蒸着し、エミッタ電極13、ベース電極14、コレクタ電極15及び抵抗電極16を形成する。

【0013】図2(a)～(d)は本発明の第2の実施例を説明するための工程順に示した半導体チップの断面図である。

【0014】先ず、図2(a)に示すように、図3(a)～(b)により説明した従来例と同様にして、P型シリコン基板1にN型の埋込層2、N型のエピタキシャル層3、絶縁拡散層4、第1の絶縁層5を形成した後、写真蝕刻法により選択的に順次にP型不純物を上面からイオン注入( $2.0 \text{ KeV}$ 、 $1 \times 10^{19}/\text{cm}^2$ 、 $1.5 \text{ KeV}$ 、 $1 \times 10^{19}/\text{cm}^2$ )し、活性ベース層2、ベース高濃度層9を形成する。次に、写真蝕刻法により選択的に第1の絶縁層5をエッチング除去して、エミッタ拡散窓及びコレクタコンタクト窓を開孔する。次に、図2(b)に示すように、MBE法により例えばN型不純物を $5.0 \times 10^{19}/\text{cm}^2$ 程度含んだエミッタ層とコレクタ層23(1500Å)及び第4のポリシリコン層24(1500Å)を同時に形成する。次に図2(c)に示すように、写真蝕刻法により選択的に第4のポリシリコン層24をエッチング除去して抵抗パターンを形成した後、第4の絶縁層20(3000Å)を堆積する。次に、熱処理(900℃、20分)して第4のポリシリコン層19の安定化をはかった後、写真蝕刻法により選択的に第4の絶縁層20をエッチング除去する。次に、図2(d)に示すように、従来例と同様にベースコンタクト窓及び抵抗コンタクト窓を開孔した後、エミッタ電極13、ベース電極14、コレクタ電極15

4

及び抵抗電極16を形成する。

【0015】

【発明の効果】以上説明したように本発明は、制御性の優れたMBE法を用いて、ポリシリコン抵抗素子を活性ベース層あるいはエミッタ層と同時に形成することにより、ポリシリコン層の膜厚及び不純物濃度のばらつきを従来の1/2程度に低減させることが可能となり、その結果ポリシリ抵抗のばらつきが半減し、P/W良品率、W歩留を大幅に向上させることができ、また、本発明においては、ポリシリコン層の不純物濃度を均一に形成できるので、ポリシリコン層のエッチング側壁断面形状を理想的なテーパ形状(角度70°)にすることが可能となる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の、半導体集積回路の製造方法を示す工程断面図である。

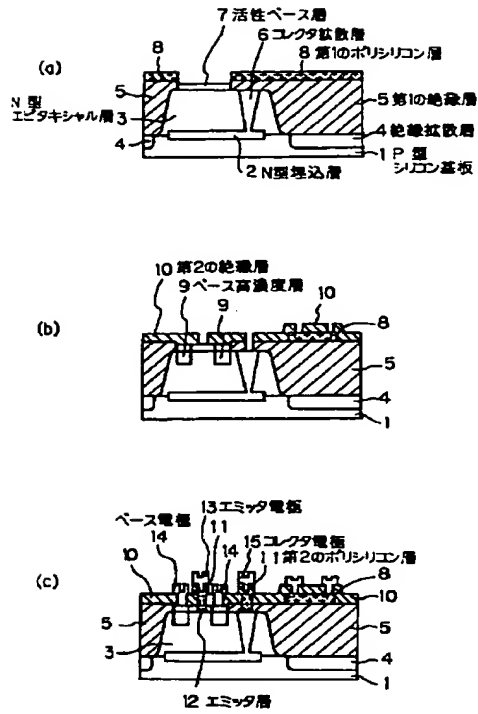
【図2】本発明の第2の実施例の、半導体集積回路の製造方法を示す工程断面図である。

【図3】従来の、半導体集積回路の製造方法を示す工程断面図である。

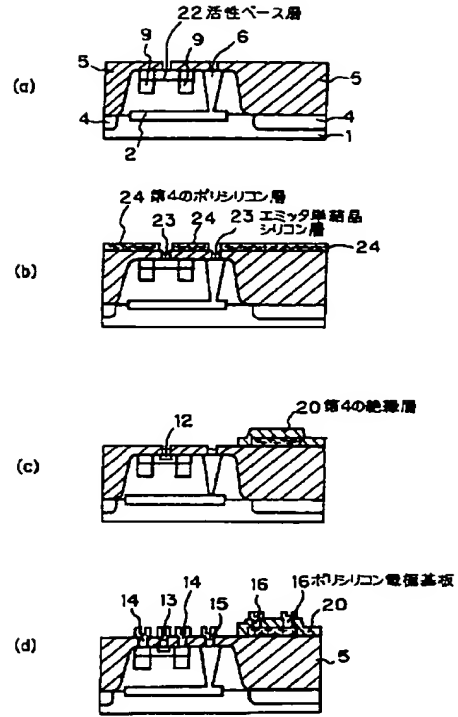
【符号の説明】

- |    |              |
|----|--------------|
| 1  | P型シリコン基板     |
| 2  | N型埋込層        |
| 3  | N型エピタキシャル層   |
| 4  | 絶縁拡散層        |
| 5  | 第1の絶縁層       |
| 6  | コレクタ拡散層      |
| 7  | 活性ベース層       |
| 8  | 第1のポリシリコン層   |
| 9  | ベース高濃度層      |
| 10 | 第2の絶縁層       |
| 11 | 第2のポリシリコン層   |
| 12 | エミッタ層        |
| 13 | エミッタ電極       |
| 14 | ベース電極        |
| 15 | コレクタ電極       |
| 16 | ポリシリコン抵抗電極   |
| 17 | 第2の絶縁層       |
| 18 | 第3の絶縁層       |
| 19 | 第3のポリシリコン層   |
| 20 | 第4の絶縁層       |
| 21 | 第5の絶縁層       |
| 22 | 活性ベース層       |
| 23 | エミッタ単結晶シリコン層 |
| 24 | 第4のポリシリコン層   |

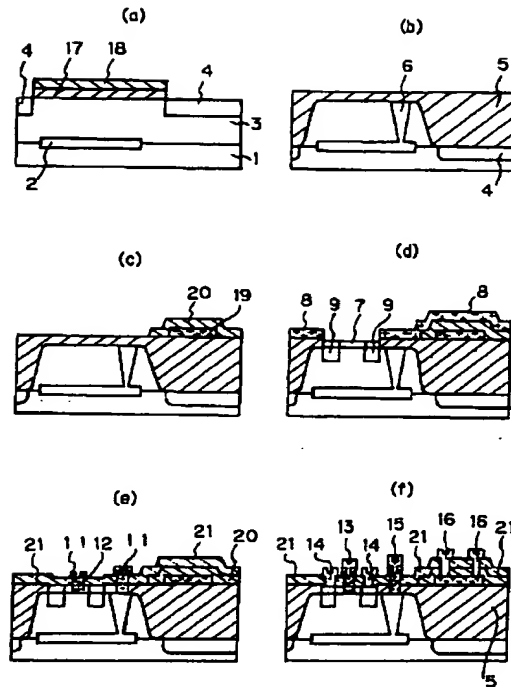
【図 1】



【図 2】



【図 3】



## 【手続補正書】

【提出日】平成 6 年 5 月 17 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】一導電型半導体基板の一主面上に形成さ

れた絶縁層上にポリシリ抵抗素子が設けられた半導体集積回路の製造方法において、該ポリシリコン抵抗素子を、活性ベース層あるいはエミッタ層と同時に形成することを特徴とする半導体集積回路の製造方法。

【請求項 2】 MBE 法を用いて、ポリシリコン抵抗素子を、活性ベース層あるいはエミッタ層と同時に形成する、請求項 1 記載の半導体集積回路の製造方法。

フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/73

// H 0 1 L 21/203

M 8122-4M